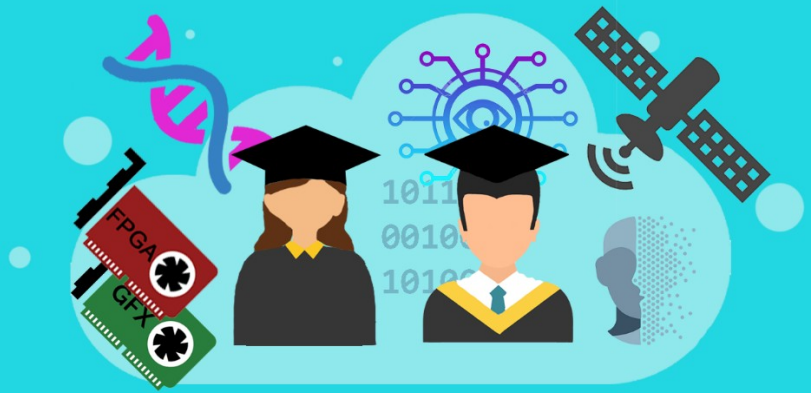


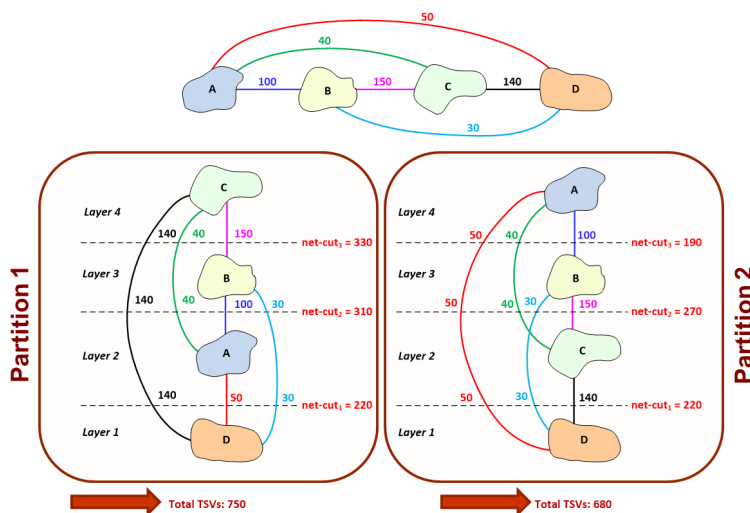
Diploma Thesis

Microprocessors and
Digital Systems
Laboratory



ΑΝΑΠΤΥΞΗ ΚΑΙ ΥΛΟΠΟΙΗΣΗ ΑΛΓΟΡΙΘΜΟΥ ΤΜΗΜΑΤΟΠΟΙΗΣΗΣ (PARTITIONING) ΓΙΑ ΤΡΙΣΔΙΑΣΤΑΤΕΣ (3D) ΑΡΧΙΤΕΚΤΟΝΙΚΕΣ

Η ραγδαία τεχνολογική εξέλιξη στον τομέα των ηλεκτρονικών έχει κάνει δυνατή την κατασκευή πολύπλοκων ηλεκτρονικών κυκλωμάτων σε ένα μικρό τεμάχιο ημιαγωγού (π.χ. πυριτίου) διαστάσεων μερικών τετραγωνικών χιλιοστών. Τα στοιχεία αυτά σχηματίζουν ένα ΟΛΟΚΛΗΡΩΜΕΝΟ ΚΥΚΛΩΜΑ (Integrated Circuit, IC), το οποίο τοποθετείται σε μεταλλική ή πλαστική συσκευασία που αποτελεί τη λεγόμενη ΨΗΦΙΔΑ (chip). Η προαναφερθείσα τάση σμίκρυνσης της τεχνολογίας σχεδιασμού, σε συνδυασμό με την ολοένα αυξανόμενη απαίτηση για υψηλότερες αποδόσεις καθιστούν επιτακτική τη χρήση νέων τεχνολογιών για τη κατασκευή των chip.



Η τρισδιάστατη ολοκλήρωση, ή αλλιώς 3-D integration (3D), αποτελεί μια καινοτόμα προσέγγιση η οποία επιτρέπει την κατασκευή διαφορετικών τεχνολογιών στο ίδιο chip. Επιπλέον, η κατακόρυφη διασύνδεση των στοιχείων, σε αντίθεση με την συμβατική οριζόντια καλωδίωση, προσφέρει σημαντικά κέρδη από πλευράς ταχύτητας και κατανάλωσης ισχύος.

Στα πλαίσια της συγκεκριμένης

εργασίας θα αναπτυχθεί και θα υλοποιηθεί ένας αλγόριθμος που θα διαχειρίζεται τα ακόλουθα προβλήματα της φυσικής σχεδίασης: (i) τμηματοποίηση του netlist, (ii) ανάθεση των τμημάτων στα διαθέσιμα επίπεδα της 3D αρχιτεκτονικής και (iii) ταξινόμηση των επιπέδων προκειμένου να επιτευχθούν οι εκάστοτε σχεδιαστικοί στόχοι για επιδόσεις και μέγιστο αριθμό από TSV (Through-Silicon Vias).

ΕΠΙΚΟΙΝΩΝΙΑ: Prof. Dimitrios Soudris: (dsoudris@microlab.ntua.gr), Επ. Καθηγητής Κων/νος Σιώζιος, Τομέας Ηλεκτρονικής και Ηλεκτρονικών Υπολογιστών, Τμήμα Φυσικής, Τηλ: (+30)2310998774, E-Mail: ksiop@auth.gr, <http://users.auth.gr/ksiop>