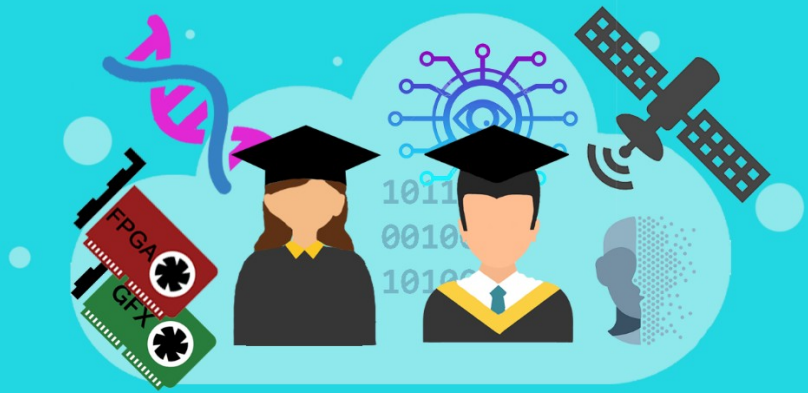


# Diploma Thesis

Microprocessors and  
Digital Systems  
Laboratory



## ΑΝΑΠΤΥΞΗ ΜΗΧΑΝΙΣΜΩΝ ΑΝΙΧΝΕΥΣΗΣ (MONITORS) ΚΑΤΑΠΟΝΙΣΗΣ ΥΛΙΚΟΥ ΚΑΙ ΔΙΑΣΦΑΛΙΣΗΣ ΤΗΣ ΑΞΙΟΠΙΣΤΗΣ ΛΕΙΤΟΥΡΓΙΑΣ

Η σμίκρυνση διαστάσεων της τεχνολογίας CMOS καθιστούν την καταπόνηση υλικού ένα σημαντικό παράγοντα για την αξιόπιστη λειτουργία μίας συσκευής κατά τον κύκλο ζωής της. Τα ονομαστικά χαρακτηριστικά ενός ολοκληρωμένου κυκλώματος όπως η τάση κατωφλίου μεταβάλλονται με την εμφάνιση εκφυλιστικών φαινομένων που δεν μπορούν να προβλεφθούν από σχεδιαστικό χρόνο ώστε να ληφθούν μέτρα αντιστάθμισης. Επιπλέον η επιβάρυνση υλικού δεν εμφανίζει ομοιόμορφη κατανομή αλλά διαφέρει ανάλογα με το είδος και την συχνότητα χρήσης. Ο στόχος της παρούσας διπλωματικής είναι η ανάπτυξη μηχανισμών που θα παρέχουν πληροφορίες σχετικά με την καταπόνηση των επιμέρους περιοχών σχεδίασης χωρίς υψηλό επιπρόσθετο λειτουργικό κόστος και θα ενεργοποιούν δράσεις που θα διασφαλίζουν την αξιόπιστη λειτουργία. Πιο συγκεκριμένα θα ερευνηθούν τεχνικές ανίχνευσης που θα εξασφαλίζουν ενημέρωση της κατάστασης υλικού σε οποιαδήποτε χρονική στιγμή λειτουργίας και θα ενεργοποιούν μηχανισμούς που θα μετριάσουν ενδεχόμενες επιπτώσεις. Η υλοποίηση θα πραγματοποιηθεί στο χαμηλότερο επίπεδο σχεδιασμού με χρήση εργαλείων σύνθεσης σε πλατφόρμες FPGA αξιοποιώντας τις δυνατότητες επαναδιαμόρφωσης που παρέχουν.

Σκοπός της Διπλωματικής Εργασίας είναι η ανάπτυξη τεχνικών καθώς και κατάλληλων εργαλείων διάγνωσης της καταπόνησης Υλικού σε πραγματικό χρόνο με ενεργοποίηση διαμορφώσεων που μετριάζουν τις επιπτώσεις απόδοσης.

**ΕΠΙΘΥΜΗΤΕΣ ΓΝΩΣΕΙΣ:** Καλή γνώση Python, VHDL, Vivado, ISE, FPGA Editor

**ΠΛΗΡΟΦΟΡΙΕΣ:** Νικόλαος Ζομπάκης, [nzompaki@microlab.ntua.gr](mailto:nzompaki@microlab.ntua.gr),

Δημήτριος Σούντρης [dsoudris@microlab.ntua.gr](mailto:dsoudris@microlab.ntua.gr)